

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-53492

(43)公開日 平成6年(1994)2月25日

(51)Int.Cl.⁵

H 01 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

7377-4M

H 01 L 29/78

301 G

審査請求 未請求 請求項の数3(全5頁)

(21)出願番号

特願平4-202617

(22)出願日

平成4年(1992)7月29日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28
号

(72)発明者 元吉 真

千葉県千葉市中央区川崎町1番地 川崎製
鉄株式会社技術研究本部内

(72)発明者 衣笠 元

千葉県千葉市中央区川崎町1番地 川崎製
鉄株式会社技術研究本部内

(74)代理人 弁理士 森 哲也 (外2名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】複雑な工程を行うことなく、ゲート酸化後のゲート酸化膜の膜厚を高精度で修正することが可能な半導体装置及びその製造方法を提供する。

【構成】半導体基板1上に、ゲート酸化膜8及びフッ素が導入されたゲート酸化膜11を有し、当該両ゲート酸化膜8及び11は、異なった膜厚で形成され、該両ゲート酸化膜8及び11上に、ゲート電極12~15を形成した。

1

【特許請求の範囲】

【請求項1】 半導体基板上に、ゲート酸化膜を介して形成したゲート電極を複数有する半導体装置において、前記ゲート酸化膜の少なくとも一つは、フッ素を含有してなると共に、他のゲート酸化膜と異なる膜厚で形成されてなることを特徴とする半導体装置。

【請求項2】 半導体基板上に、ゲート酸化膜を介して形成したゲート電極を有する半導体装置において、前記ゲート酸化膜は、フッ素を含有してなることを特徴とする半導体装置。

【請求項3】 半導体基板上に酸化膜を形成する第1工程と、前記酸化膜上に導電膜を形成する第2工程と、前記導電膜が形成された酸化膜または前記導電膜の所望領域に、選択的にフッ素をイオン注入する第3工程と、前記イオン注入後の半導体基板に熱処理を行う第4工程と、を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置及びその製造方法に関わり、特に、MOS (Metal Oxide Semiconductor) 型の半導体装置及びその製造方法に関する。

【0002】

【従来の技術】従来、MOS型半導体装置のゲート酸化膜の膜厚は、ゲート酸化条件により一義的に決定されるため、ゲート酸化後に、ゲート酸化膜の膜厚を修正することができなかった。従って、前記ゲート酸化膜を形成した後に、例えば、フッ化タンクスチン (WF_6) を用いて、タンクスチンシリサイド膜を形成する場合、前記フッ素がゲート酸化膜内に侵入して、当該ゲート酸化膜の膜厚を必要以上に厚くするなど、前記ゲート酸化膜の膜厚にバラツキが生じるという問題があった。これは、K. C. Saraswat らにより、ゲート酸化膜内にフッ素が存在すると、その後の熱処理工程により、当該ゲート酸化膜の膜厚が増加するという報告により明らかである (Symp. VLSI Tech. Technical Digest 51頁、1989年発行)。なお、図8に、フッ素のゲート酸化膜へのドーズ量とゲート酸化膜の膜厚増加との関係を示す。

【0003】このため、前記ゲート酸化膜の膜厚増加を考慮して、当該膜厚のバラツキを吸収する(緩和する)様なデバイス設計を行っている。また、同一半導体基板上に、複数の膜厚を有するゲート酸化膜が必要なデバイスでは、通常、第1のゲート酸化膜を介して第1のゲート電極を形成した後、前記第1のゲート酸化膜と膜厚が異なる第2のゲート酸化膜を形成し、この第2のゲート酸化膜上に第2のゲート電極を形成する方法をとっている。即ち、前記ゲート酸化膜は、その膜厚毎にゲート酸化を行って形成した後、ゲート電極を形成する方法をとっていた。

2

【発明が解決しようとする課題】しかしながら、前記従来例のように、ゲート酸化膜の膜厚のバラツキを吸収するデバイス設計を行うと、デバイスの性能を低下させるという問題があった。また、前記膜厚のバラツキが特にひどい場合は、そのゲート酸化膜をエッチングして除去し、再びゲート酸化膜を形成する方法を行う必要があるが、この方法を行うとフィールド酸化膜も同時にエッチングされるため、当該フィールド酸化膜の膜厚が薄くなり、素子分離性能が低下するという問題があった。さらに、この方法は、手間がかかり、生産性を低下させると共に、製造コストを増加させるという問題もあった。

【0005】また、同一半導体基板上に、異なる膜厚を有するゲート酸化膜が必要なデバイスでは、ゲート電極材料の堆積、パターニングは、それぞれのゲート酸化膜が形成された後に行うため、工程が複雑になるという問題があった。本発明は、このような問題を解決することを課題とするものであり、複雑な工程を行うことなく、ゲート酸化後のゲート酸化膜の膜厚を高精度で修正することが可能な半導体装置及びその製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】この目的を達成するために、本発明は、半導体基板上に、ゲート酸化膜を介して形成したゲート電極を複数有する半導体装置において、前記ゲート酸化膜の少なくとも一つは、フッ素を含有してなると共に、他のゲート酸化膜と異なる膜厚で形成されてなることを特徴とする半導体装置を提供するものである。

【0007】また、半導体基板上に、ゲート酸化膜を介して形成したゲート電極を有する半導体装置において、前記ゲート酸化膜は、フッ素を含有してなることを特徴とする半導体装置を提供するものである。そして、半導体基板上に酸化膜を形成する第1工程と、前記酸化膜上に導電膜を形成する第2工程と、前記導電膜が形成された酸化膜または前記導電膜の所望領域に、選択的にフッ素をイオン注入する第3工程と、前記イオン注入後の半導体基板に熱処理を行う第4工程と、を含むことを特徴とする半導体装置の製造方法を提供するものである。

【0008】

【作用】請求項1記載の発明に係る半導体装置は、ゲート酸化膜の少なくとも一つが、フッ素を含有してなるため、フッ素が含有されているゲート酸化膜の膜厚を、フッ素が含有されてないゲート酸化膜の膜厚より厚くすることができる。即ち、ゲート酸化膜に含有したフッ素の量(フッ素ドーズ量)により、当該ゲート酸化膜の膜厚を精度良く制御し、決定することができる。従って、簡単に、同一半導体基板上に、異なる膜厚を有するゲート酸化膜が形成された半導体装置を提供することができる。

置は、ゲート酸化後、光学的に酸化膜厚を測定し、所望の酸化膜厚との差分の膜厚を増やすため、増膜に対応した量のフッ素をゲート酸化膜に含ませ、熱処理を行うことにより、当該ゲート酸化膜の膜厚を精度良く制御して決定することができる。そして、請求項3記載の発明によれば、前記導電膜が形成された酸化膜の所望領域または、前記導電膜の所望領域に、選択的にフッ素をイオン注入した後、熱処理することで、当該酸化膜の膜厚を精度良く制御することができる。従って、プロセスマージを小さくとったデバイス設計が可能となり、デバイスの性能を向上することができる。

【0010】また、同一半導体基板上に、異なる膜厚を有するゲート酸化膜が形成された半導体装置では、前記フッ素のイオン注入量により、ゲート酸化膜の膜厚を任意に決定することができるため、複雑な工程を行うことなく、膜厚が異なるゲート酸化膜を形成することができる。またさらに、前記フッ素は、導電膜を通して注入するため、フォト工程やイオン注入工程時に発生する汚染がゲート酸化膜中に侵入することができない。従って、前記ゲート酸化膜は、前記汚染に起因したチャージアップによる破壊や劣化が発生することができない。

【0011】

【実施例】次に、本発明に係る実施例について、図面を参照して説明する。図1ないし図7は、本発明の実施例に係る半導体装置の製造工程の一部を示す部分断面図である。図1に示す工程では、P型の半導体基板1に、公知の方法でNウエル3及びPウエル2を形成した後、当該半導体基板1上に、パッド酸化膜6を形成する。次に、前記パッド酸化膜6の活性領域（トランジスタとなる領域）となる部分に、窒化膜を選択的に形成する。次いで、前記窒化膜をマスクとして、前記Pウエル2領域に、チャネルストップ用のイオンを注入し、チャネルストップ部4を形成する。その後、選択酸化技術により、前記半導体基板1の素子分離領域上に、膜厚が600nm程度のフィールド酸化膜7を形成する。

【0012】次いで、図2に示す工程では、図1に示す工程で得たパッド酸化膜6に、熱酸化を行い、前記半導体基板1上に膜厚が15nm程度のゲート酸化膜8を形成した後、しきい値調整用のボロンをイオン注入する。次に、前記ゲート酸化膜8上に、CVD (Chemical Vapor Deposition) 法により、620°C程度の温度で、膜厚が350nm程度の多結晶シリコン膜を堆積し、多結晶シリコン膜からなる導電膜9を形成する。その後、前記導電膜9に、リンをドーピングし、当該導電膜9を低抵抗化する。この時、ソースガスとして、POCl₃を使用した。

【0013】次に、図3に示す工程では、図2に示す工程で得た導電膜9上に、フォトレジスト膜を塗布した後、これをパターニングし、最も薄い膜厚で形成したい

フォトレジスト膜が残存したフォトレジストパターン10を形成する。次に、前記フォトレジストパターン10をマスクとして、ゲート酸化膜8にフッ素をイオン注入する。このようにして、フッ素が導入されたゲート酸化膜11を形成した。

【0014】次いで、図4に示す工程では、図3に示す工程で得たフォトレジストパターン10を除去した後、前記導電膜9上に、公知のゲート電極形成用パターンを形成し、これをマスクとして、導電膜9、ゲート酸化膜8及びフッ素が導入されたゲート酸化膜11に、異方性エッチングを行い、MOSトランジスタのゲート電極12～15を形成する。このようにして、前記半導体基板1のPウエル2領域にN型MOSトランジスタ部を、Nウエル3領域にP型MOSトランジスタ部を形成した。次に、前記ゲート電極形成用パターンをマスクとして、半導体基板1のN型MOSトランジスタ部に、不純物として、比較的濃度の低いリンをイオン注入し、N⁻拡散層16を形成する。同様に、前記ゲート電極形成用パターンをマスクとして、前記半導体基板1のP型MOSトランジスタ部に、不純物として、比較的濃度の低いボロンをイオン注入し、P⁻拡散層17を形成する。

【0015】次に、図5に示す工程では、CVD法により、図4に示す工程で得たゲート電極12～15上及び露出した半導体基板1上に、膜厚が200nm程度のシリコン酸化膜を堆積する。次いで、前記シリコン酸化膜をエッチバックし、ゲート酸化膜8、フッ素が導入されたゲート酸化膜11、及びこれらの上に形成されたゲート電極12～15の側面に、サイドウォール18を形成する。次に、前記ゲート電極12～15及びサイドウォール18をマスクとして、半導体基板1のN型MOSトランジスタ部に、不純物として比較的濃度の高いリンをイオン注入し、N⁺拡散層19を形成する。さらに同様に、前記ゲート電極12～15及びサイドウォール18をマスクとして、前記半導体基板1のP型MOSトランジスタ部に、不純物として比較的濃度の高いボロンをイオン注入し、P⁺拡散層20を形成する。その後、前記半導体基板1に、900°Cで10分間熱処理を行い、前記拡散層の活性化を行う。この熱処理により、前記フッ素が導入されたゲート酸化膜11の膜厚がゲート酸化膜8の膜厚より、前記工程で行ったフッ素のイオン注入量に応じて厚くなつた。このように、簡単な工程で、異なる膜厚を有するゲート酸化膜を形成することができた。

【0016】次いで、図6に示す工程では、CVD法により、図5に示す工程で得たゲート電極12～15上、サイドウォール18上、露出している半導体基板1上に、430°Cで、膜厚が100nm程度のシリコン酸化膜21を形成する。次に、前記シリコン酸化膜21上に、CVD法により、430°C程度の温度で、膜厚が300nm程度のボロン-リンガラス(BPSG)膜22

理し、当該ボロンーリングガラス膜22をリフローさせる。このようにして、シリコン酸化膜21及びボロンーリングガラス膜22からなる層間絶縁膜23を形成した。

【0017】次に、図7に示す工程では、図6に示す工程で得た層間絶縁膜23に、N⁺拡散層19及びP⁺拡散層20と接続するためのコンタクト孔を開口しする。その後、前記コンタクト孔が開口された層間絶縁膜23上及び露出した半導体基板1上に、アルミニウム合金をスパッタ法により堆積し、これに所望のパターニングを行い、配線24を形成する。

【0018】その後、所望の工程を行い、半導体装置を完成する。なお、本実施例では、ゲート酸化膜8にフッ素をイオン注入して、フッ素が導入されたゲート酸化膜11を形成したが、これに限らず、導電膜9にフッ素をイオン注入しても、後の熱処理工程により、当該フッ素がゲート酸化膜8内に拡散し、フッ素が導入されたゲート酸化膜11を形成することができる。

【0019】また、本実施例では、ゲート電極12～15を形成する導電膜9として、多結晶シリコン膜を使用したが、これに限らず、ゲート電極形成材料としては、ポリサイド膜や高融点金属膜などの導電膜を使用してもよい。そして、本実施例では、リンをイオン注入して、N⁻拡散層16及びN⁺拡散層19を形成したが、これに限らず、ヒ素など、他のN型不純物をイオン注入して、N⁻拡散層16及びN⁺拡散層19を形成してもよい。

【0020】また、本実施例では、ボロンをイオン注入して、P⁻拡散層17及びP⁺拡散層20を形成したが、これに限らず、ガリウムなど、他のP型不純物をイオン注入して、P⁻拡散層17及びP⁺拡散層20を形成してもよい。そして、配線24を形成する材料は、アルミニウム合金の他、アルミニウム多層膜など、任意に選択してよい。

【0021】さらに、本実施例では、2種類の膜厚を有するゲート酸化膜を形成する場合について説明したが、フォトレジストパターン10を代えて繰り返しフッ素をイオン注入することで、2種類以上の膜厚を有するゲート酸化膜を形成することもできる。また、同一の膜厚を有するゲート酸化膜の膜厚制御を行うことも可能である。

【0022】

【発明の効果】以上説明したように、本発明に係る半導体装置は、ゲート酸化膜の少なくとも一つが、フッ素を含有してなるため、フッ素が含有されているゲート酸化膜の膜厚を、フッ素が含有されてないゲート酸化膜の膜厚より厚くすることができる。従って、ゲート酸化膜に含有したフッ素の量により、当該ゲート酸化膜の膜厚を精度良く制御することができるため、複雑な工程を行うことなく、ゲート酸化膜のダメージが抑制され、且つ、

同一半導体基板上に、膜厚が異なるゲート酸化膜が形成された半導体装置を提供することができる。また、同一の膜厚を有するゲート酸化膜の膜厚制御を行うことも可能となる。

【0023】また、本発明に係る半導体装置の製造方法によれば、前記導電膜が形成された酸化膜の所望領域または前記導電膜の所望領域に、選択的にフッ素をイオン注入した後、熱処理することで、当該酸化膜の膜厚を精度良く制御することができる。従って、プロセスマージ

10 を小さくとったデバイス設計が可能となり、デバイスの性能を向上することができる。また、前記フッ素は、導電膜を通して注入するため、フォト工程やイオン注入工程時に発生する汚染がゲート酸化膜中に侵入するがない。従って、前記ゲート酸化膜は、前記汚染に起因したチャージアップによる破壊や劣化が発生するがない。

【0024】また、同一半導体基板上に、異なる膜厚を有するゲート酸化膜が形成された半導体装置では、前記フッ素のイオン注入量により、ゲート酸化膜の膜厚を任意に決定することができるため、複雑な工程を行なうことなく、膜厚が異なるゲート酸化膜を形成することができる。この結果、生産性が向上し、高性能な半導体装置を低コストで提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

【図2】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

【図3】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

【図4】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

【図5】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

【図6】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

【図7】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

【図8】フッ素ドーズ量とゲート酸化膜の膜厚増加量との関係を示す図である。

【符号の説明】

1 半導体基板

8 ゲート酸化膜

9 導電膜

11 フッ素が導入されたゲート酸化膜

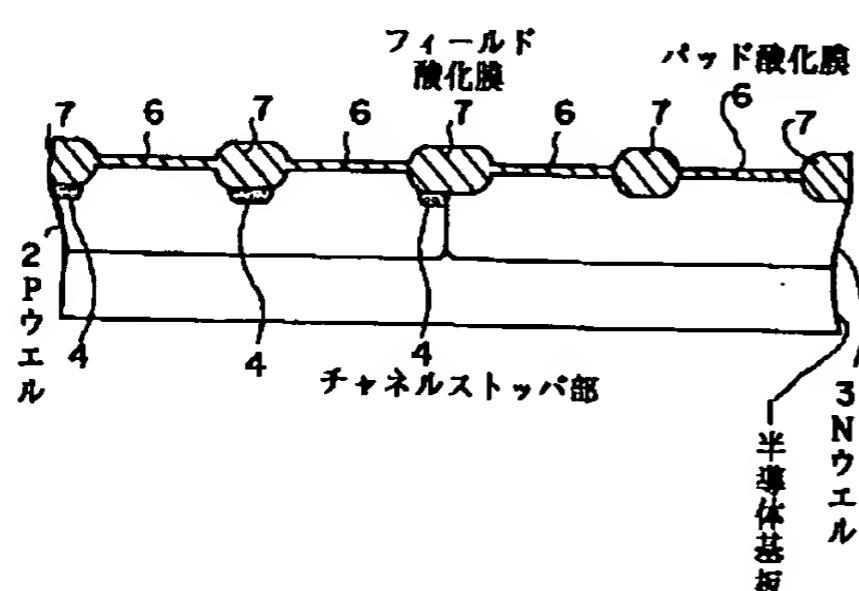
12 ゲート電極

13 ゲート電極

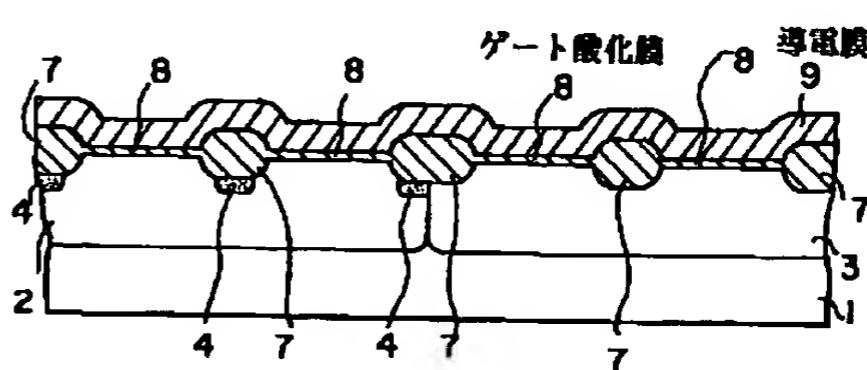
14 ゲート電極

15 ゲート電極

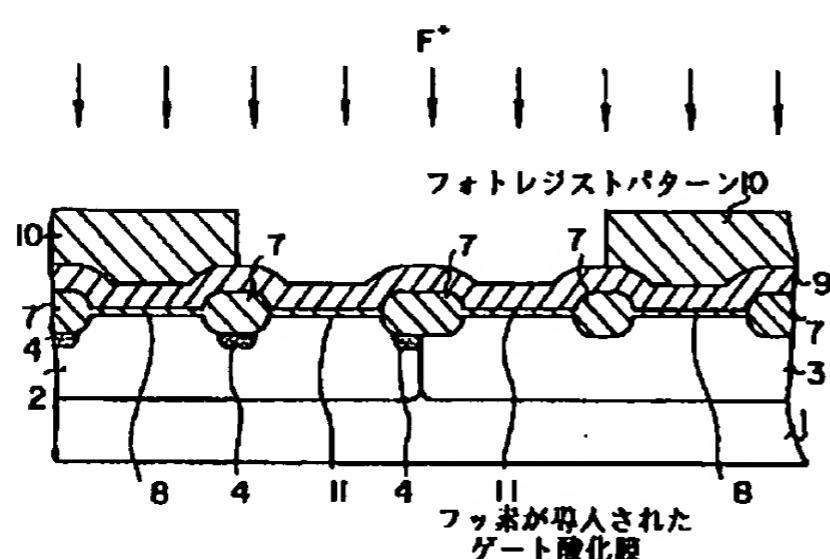
【図1】



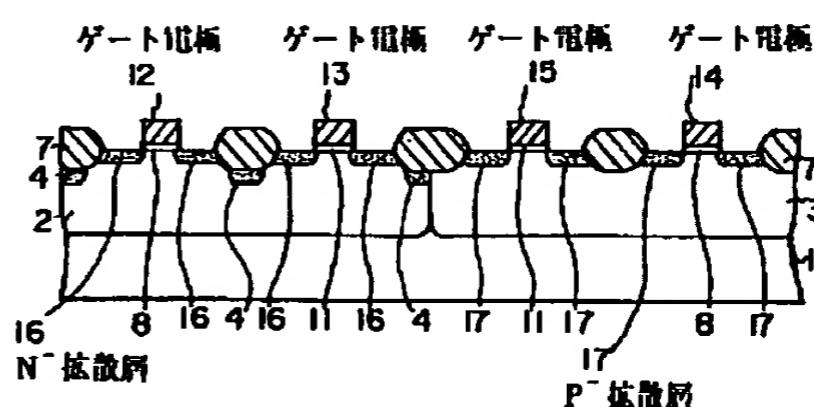
【図2】



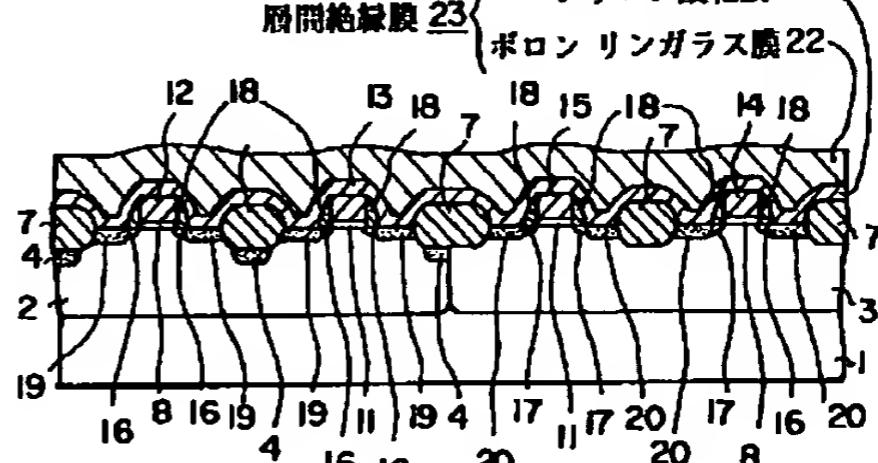
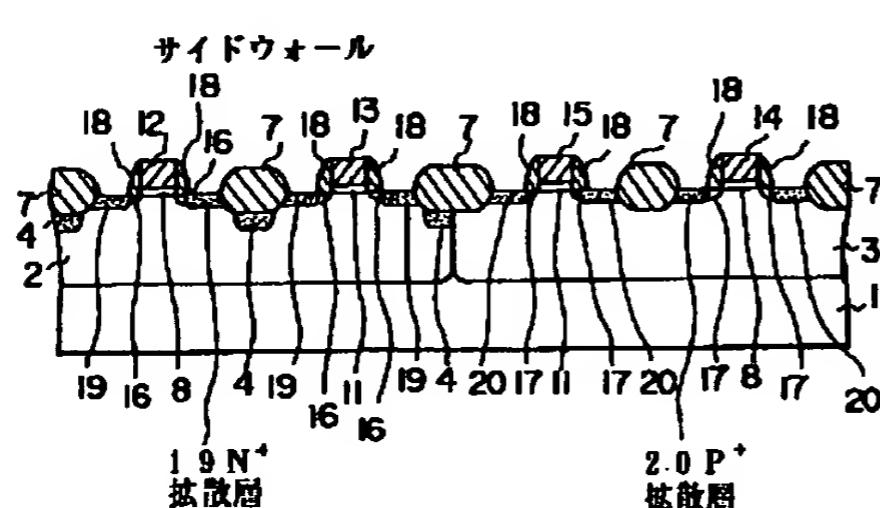
【図3】



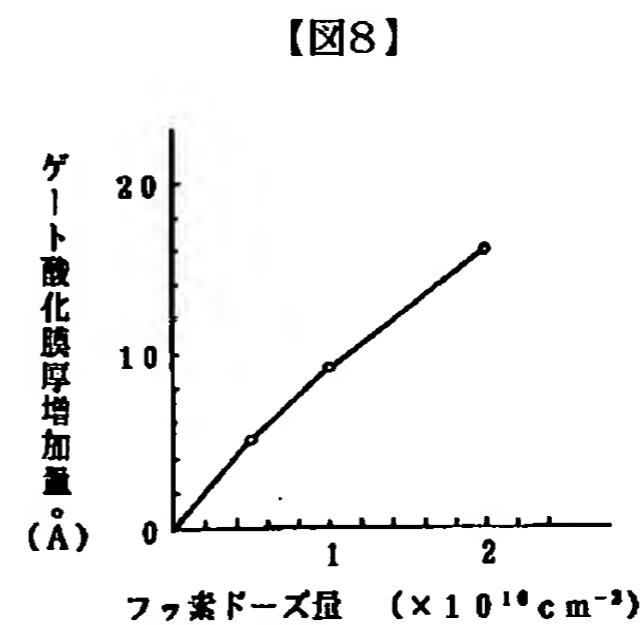
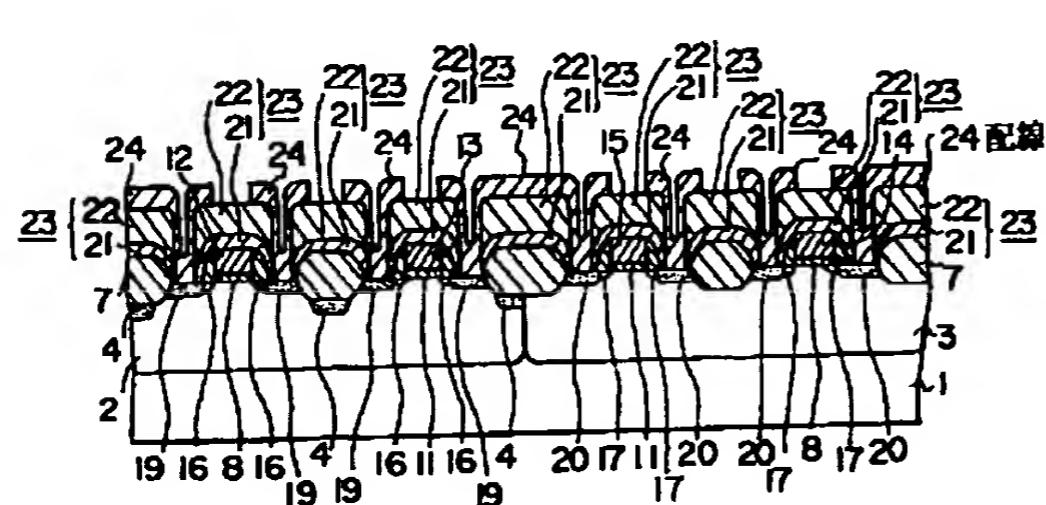
【図4】



【図5】



【図7】



CLIPPEDIMAGE= JP406053492A
PAT-NO: JP406053492A
DOCUMENT-IDENTIFIER: JP 06053492 A
TITLE: SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

PUBN-DATE: February 25, 1994

INVENTOR-INFORMATION:

NAME
MOTOYOSHI, MAKOTO
KINUGASA, HAJIME

ASSIGNEE-INFORMATION:

NAME	COUNTRY
KAWASAKI STEEL CORP	N/A

APPL-NO: JP04202617

APPL-DATE: July 29, 1992

INT-CL (IPC): H01L029/784

US-CL-CURRENT: 257/391,257/392 ,257/410

ABSTRACT:

PURPOSE: To provide a semiconductor device and fabrication thereof in which thickness of gate oxide can be corrected accurately after gate oxidation without requiring complicated process.

CONSTITUTION: A gate oxide 8 and another gate oxide 11 doped with fluorine are deposited on a semiconductor substrate 1 where both oxides 8, 11 are deposited with different thicknesses with gate electrodes 12-15 being formed thereon.

COPYRIGHT: (C) 1994, JPO&Japio